

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2001-292041

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H03F 3/34  
H03F 1/34  
H03F 3/345  
H03F 3/45

(21)Application number : 2000-105980

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.04.2000

(72)Inventor : KOKUBU MASATOSHI  
UTO SHINYA  
YAMAGATA SEIJI  
TSUCHIYA CHIKARA

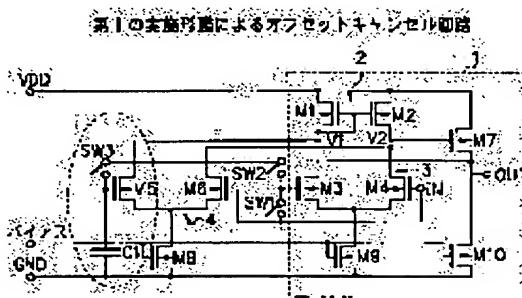
## (54) OPERATIONAL AMPLIFIER AND ITS OFFSET CANCELLATION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an offset cancellation circuit that can suppress an offset of an operational amplifier without the need for increasing a gate area of the operational amplifier.

**SOLUTION:** The offset cancellation circuit is provided with a capacitive element C1 that stores electric charges resulting from a voltage including an offset amplified by an operational amplifier section 1 and applies feedback control to the voltage of the operational amplifier section 1 on the basis of the stored electric charges, and switching elements SW1-SW3 that switch the storage of the electric charges resulting from the voltage to the capacitive element 3, and the operation of the feedback control on the basis of the electric charges resulting from the voltage and stored in the capacitive element C1.

Employing the capacitive element C1 and the switching elements SW1-SW3 cancels the offset from the operational amplifier section 1 so as to attain cancellation of the offset of the operational amplifier section 1 without the need for increasing the gate area of transistors(TRs) M1-M4 of the operational amplifier section 1.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**(書誌+要約+請求の範囲)**


---

(19)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開2001-292041(P2001-292041A)  
 (43)【公開日】平成13年10月19日(2001. 10. 19)  
 (54)【発明の名称】オペアンプおよびそのオフセットキャンセル回路  
 (51)【国際特許分類第7版】

H03F 3/34  
 1/34  
 3/345  
 3/45

**【FI】**

H03F	3/34	A
	1/34	
	3/345	B
	3/45	A
		B

**【審査請求】未請求****【請求項の数】9****【出願形態】OL****【全頁数】15**

(21)【出願番号】特願2000-105980(P2000-105980)

(22)【出願日】平成12年4月7日(2000. 4. 7)

(71)【出願人】

【識別番号】000005223

【氏名又は名称】富士通株式会社

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号

(72)【発明者】

【氏名】國分 政利

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)【発明者】

【氏名】鶴戸 真也

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)【発明者】

【氏名】山縣 誠司

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)【発明者】

【氏名】土屋 主税

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74)【代理人】

【識別番号】100090273

【弁理士】

【氏名又は名称】國分 孝悦

【テーマコード(参考)】

5J066  
 5J090  
 5J091

## 【Fターム(参考)】

5J066 AA01 AA47 CA13 CA87 CA92 FA17 FA18 HA10 HA17 HA29 HA38 HA39 KA04 KA38 MA11 MA21 ND01 ND14 NE  
 5J090 AA01 AA47 CA13 CA87 CA92 FA17 FA18 HA10 HA17 HA29 HA38 HA39 KA04 KA09 KA38 MA11 MA21 MN01 S/  
 5J091 AA01 AA47 CA13 CA87 CA92 FA17 FA18 HA10 HA17 HA29 HA38 HA39 KA04 KA09 KA38 MA11 MA21 SA08 T/

---

### (57)【要約】

【課題】オペアンプのゲート面積を大きくすることなくオペアンプのオフセットを抑制できるようにする。

【解決手段】オペアンプ部1により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいて上記オペアンプ部1の電圧値をフィードバック制御する容量素子C1と、上記容量素子C1への電圧の蓄積および上記容量素子C1に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子SW1～SW3とを備え、この容量素子C1とスイッチング素子SW1～SW3とを用いてオペアンプ部1のオフセットをキャンセルするようにすることにより、オペアンプ部1のトランジスタM1～M4のゲート面積を大きくすることなくオペアンプ部1のオフセットを高精度にキャンセルすることができるようとする。

---

### 【特許請求の範囲】

【請求項1】オペアンプ部により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいて上記オペアンプ部の電圧値をフィードバック制御する容量素子と、上記容量素子への電圧の蓄積および上記容量素子に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子とを備えたことを特徴とするオペアンプのオフセットキャンセル回路。

【請求項2】一対のカレントミラ一部と、上記カレントミラ一部に接続された一対の第1の差動入力部とを備えたオペアンプ部のオフセットをキャンセルするオフセットキャンセル回路であって、上記カレントミラ一部に接続された一対の第2の差動入力部と、上記第1の差動入力部の一方の入力ゲートと入力端子との間に接続された第1のスイッチング素子と、上記第1の差動入力部の一方の入力ゲートと出力端子との間に接続された第2のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートと上記出力端子との間に接続された第3のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートに接続された容量素子とを備えたことを特徴とするオペアンプのオフセットキャンセル回路。

【請求項3】上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された上記容量素子のもう1つの端子をグランド側に接続したことを特徴とする請求項2に記載のオペアンプのオフセットキャンセル回路。

【請求項4】上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された上記容量素子のもう1つの端子を電源側に接続したことを特徴とする請求項2に記載のオペアンプのオフセットキャンセル回路。

【請求項5】上記第2の差動入力部の一方の入力ゲートに2つの容量素子を接続し、上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された一方の容量素子のもう1つの端子をグランド側に接続するとともに、上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された他方の容量素子のもう1つの端子を電源側に接続したことを特徴とする請求項2に記載のオペアンプのオフセットキャンセル回路。

【請求項6】上記スイッチング素子のオン／オフを制御する制御信号の波形を整形する波形整形回路を備えたことを特徴とする請求項1に記載のオペアンプのオフセットキャンセル回路。

【請求項7】上記オペアンプ部は、上記カレントミラ一部および上記第1の差動入力部とpnタイプが逆の第2のカレントミラ一部および第3の差動入力部を備え、上記第3の差動入力部の2つの入力ゲートが上記カレントミラ一部と上記第1の差動入力部との接続ノードに接続されていることを特徴とする請求項1に記載のオペアンプのオフセットキャンセル回路。

【請求項8】オペアンプ部と、当該オペアンプ部のオフセットをキャンセルするオフセットキャンセル回路とを備え、上記オフセットキャンセル回路は、上記オペアンプ部により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいて上記オペアンプ部の電圧値をフィード

バック制御する容量素子と、上記容量素子への電圧の蓄積および上記容量素子に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子とを備えたことを特徴とするオペアンプ。

【請求項9】上記オペアンプ部は、一対のカレントミラ一部と、上記カレントミラ一部に接続された一対の第1の差動入力部とを備え、上記オフセットキャンセル回路は、上記カレントミラ一部に接続された一対の第2の差動入力部と、上記第1の差動入力部の一方の入力ゲートと入力端子との間に接続された第1のスイッチング素子と、上記第1の差動入力部の一方の入力ゲートと出力端子との間に接続された第2のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートと上記出力端子との間に接続された第3のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートに接続された容量素子とを備えたことを特徴とする請求項8に記載のオペアンプ。

## 詳細な説明

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明はオペアンプおよびそのオフセットキャンセル回路に関し、特に、同一チップ内に複数のオペアンプ出力を有する液晶表示装置(LCD)のソースドライバICに用いて好適なものである。

#### 【0002】

【従来の技術】液晶表示装置(LCD)が備える液晶パネルは、1画素が赤、青、緑の3色で構成され、各色が例えば64階調で表される。この場合、1画素あたり $64 \times 64 \times 64 = 26$ 万色の表示が可能となる。LCDソースドライバは、64階調の階調電圧を3色分生成し、これらの階調電圧をコモン電極に対して正極性と負極性の2系統生成する。

【0003】図17は、従来のオペアンプの構成を示す回路図である。図17に示すオペアンプは、一对のpチャネルトランジスタM1, M2から成るカレントミラーネットワークと、このカレントミラーネットワークに接続された一对のnチャネルトランジスタM3, M4から成る差動入力部と、定電流回路として動作する2つのnチャネルトランジスタM9, M10と、出力段のスイッチング用として動作するpチャネルトランジスタM7とを備えている。

【0004】上記カレントミラーネットワークを構成する2つのpチャネルトランジスタM1, M2のソースが電源VDDに接続され、ドレインが差動入力部に接続されている。当該差動入力部を構成する2つのnチャネルトランジスタM3, M4のうち、nチャネルトランジスタM3のゲートは出力端子OUTに接続され、nチャネルトランジスタM4のゲートは入力端子INに接続される。

【0005】上記差動入力部には、定電流回路として動作するnチャネルトランジスタM9が接続されている。このnチャネルトランジスタM9のゲートはバイアス電圧源に接続され、ソースはグランドGNDに接続されている。もう1つの定電流回路として動作するnチャネルトランジスタM10も同様に、そのゲートがバイアス電圧源に接続され、ソースがグランドGNDに接続されている。このnチャネルトランジスタM10のドレインは、出力段のpチャネルトランジスタM7のドレインと共に出力端子OUTに接続されている。

【0006】上述したLCDソースドライバICの場合、図17のように構成されたオペアンプが複数個並べて配置されるが、オペアンプは、製造バラツキ等に起因したオフセットを有しており、そのオフセット量は個々のオペアンプ毎に異なる。そのため、例えば本来は同じ電圧値を出力しなければいけない複数の隣接するオペアンプ間で、それぞれのオペアンプが持つオフセットによって出力電圧値に差が生じてしまうことがある。そして、この出力偏差が大きくなると、LCDの表示上、色むらが発生してしまう。したがって、このような色むらの発生を防止するために、個々のオペアンプが持つオフセットを抑制する工夫が必要になる。

#### 【0007】

【発明が解決しようとする課題】従来、オペアンプのオフセットを抑制する手法として、オペアンプを構成するトランジスタのゲート面積、特に、カレントミラーネットワークのpチャネルトランジスタM1, M2と差動入力部のnチャネルトランジスタM3, M4のゲート面積を大きくすることで、製造バラツキの見え方を小さくし、オペアンプのオフセットを抑えるようにしていた。

【0008】しかしながら、オペアンプのオフセット量( $\Delta V_{gs}$ )とトランジスタのゲート面積(S)との間には、 $\Delta V_{gs} \propto 1/\sqrt{S}$ の関係があり、例えばオフセット量を半分に減らしたい場合は、トランジスタのゲート面積を4倍にも大きくしなければならない。そのため、このような従来の方法で最近のLCDの高精細化(1階調当たりの電圧範囲が数mV)を実現しようとすると、オペアンプのゲート面積が非常に大きくなってしまってチップ面積が大きくなり、結果としてコストアップを招いてしまうという問題があった。

【0009】本発明は、このような問題を解決するために成されたものであり、オペアンプのゲート面積を大きくすることなくオペアンプのオフセットを抑制できるようにすることを目的とする。

#### 【0010】

【課題を解決するための手段】本発明によるオペアンプのオフセットキャンセル回路は、オペアンプ部により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいて上記オペアンプ部の電圧値をフィードバック制御する容量素子と、上記容量素子への電圧の蓄積および上記容量素子に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子とを備えたことを特徴とする。

【0011】本発明は上記技術手段より成るので、入力端子に電圧が入力されたときに、各スイッチング素子が適当に切り替わることにより、容量素子にオフセットを含んだ電圧が蓄積される。その後、各スイッチング素子が適用に切り替わることにより、容量素子に蓄えられた電圧に基づきオペアンプ部のゲート電圧が同一値になるようにフィードバックがかけられることにより、オペアンプ部のオフセットがキャンセルされることとなる。これにより、オペアンプ部のトランジスタのゲート面積を大きくすることなくオペアンプ部のオフセットをキャンセルすることが可能となる。

【0012】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。

【0013】(第1の実施形態)図1は、第1の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。図1において、オペアンプ部1は、図17に示した従来のオペアンプと同様の構成を有するものであり、一対のpチャネルトランジスタM1, M2から成るカレントミラ一部2や、一対のnチャネルトランジスタM3, M4から成る第1の差動入力部3などを備えている。

【0014】本実施形態では、このオペアンプ部1に対し、上記カレントミラ一部2に接続された一対のnチャネルトランジスタM5, M6から成る第2の差動入力部4と、この第2の差動入力部4に接続されて定電流回路として動作するnチャネルトランジスタM8と、コンデンサC1等の容量素子と、3つのスイッチング素子SW1～SW3とを更に追加している。

【0015】上記第2の差動入力部4を構成するnチャネルトランジスタM5, M6の各ドレインは、オペアンプ部1内のカレントミラ一部2を構成するpチャネルトランジスタM1, M2の各ドレインにそれぞれ接続されている。また、nチャネルトランジスタM6のゲート(第2の差動入力部4の+側入力ゲート)は入力端子INに接続され、nチャネルトランジスタM5のゲート(第2の差動入力部4の一側入力ゲート)は第3のスイッチSW3を介して出力端子OUTに接続されている。

【0016】上記第2の差動入力部4のソース側に接続されたnチャネルトランジスタM8のゲートはバイアス電圧源に接続され、ソースはグランドGNDに接続されている。また、コンデンサC1は、第2の差動入力部4を構成するnチャネルトランジスタM5のゲートとグランドGNDとの間に接続されている。

【0017】第1のスイッチSW1は、オペアンプ部1内の第1の差動入力部3を構成するnチャネルトランジスタM3のゲート(第1の差動入力部3の一側入力ゲート)と、当該第1の差動入力部3を構成するnチャネルトランジスタM4のゲート(第1の差動入力部3の+側入力ゲート)に接続された入力端子INとの間に接続されている。また、第2のスイッチSW2は、オペアンプ部1内の第1の差動入力部3を構成するnチャネルトランジスタM3のゲートと出力端子OUTとの間に接続されている。また、第3のスイッチSW3は、第2の差動入力部4を構成するnチャネルトランジスタM5のゲートと出力端子OUTとの間に接続されている。

【0018】これらの第1～第3のスイッチSW1～SW3は、例えば、pチャネルMOSトランジスタおよびnチャネルMOSトランジスタを抱き合わせた転送ゲートにより構成される。または、pチャネルMOSトランジスタのみまたはnチャネルMOSトランジスタのみの転送ゲートにより構成しても良い。なお、以降の各実施形態で説明するスイッチング素子も、これと同様に構成される。

【0019】次に、上記のように構成したオフセットキャンセル回路の動作について説明する。図2は、本実施形態によるオフセットキャンセル回路の動作を説明するためのタイミングチャートである。図2に示すように、第1および第3のスイッチSW1, SW3は同相で動作し、第2のスイッチSW2はこれと逆相で動作する。

【0020】入力端子INに電圧が入力されると、まず第1および第3のスイッチSW1, SW3がONとなり、第2のスイッチSW2がOFFとなる。これにより、第1の差動入力部3を構成する2つのnチャネルトランジスタM3, M4には同じ電圧が与えられる。また、第2の差動入力部4を構成するnチャネルトランジスタM6のゲートには入力端子INの電圧が与えられ、nチャネルトランジスタM5のゲートには出力端子OUTの電圧が与えられる。

【0021】これにより、第1の差動入力部3は動作せず、第2の差動入力部4が差動アンプとして動作することになる。このとき、図2のように、出力端子OUTの電圧は、入力端子INの電圧に追従して時間と共に増幅されていき、オフセットを含んだ電圧値まで上昇する。なお、この図2の例では、nチャネルトランジスタM5, M6のトランジスタ自体のオフセット電圧がM5 < M6となっており、このオペアンプは基準の設定電圧値よりも大きな方向へのオフセットを有している。

【0022】このように第2の差動入力部4が動作している間、コンデンサC1は、オフセット分まで

含む電圧値によって充電される。このとき、理想的には、カレントミラー部2を構成するpチャネルトランジスタM1, M2のドレイン電圧V1, V2がV1=V2となるのだが、オペアンプの製造バラツキ等によって各トランジスタM1, M2, M3, M4のトランジスタ自体のオフセット電圧の比(M1:M2, M3:M4)がずれて、V1≠V2の状態で回路は安定する。この異なった電圧V1, V2の値および入力端子IN、出力端子OUTの電圧値でnチャネルトランジスタM5, M6に流れる電流が決定される。ここまで期間を、以下では「チャージ期間」と呼ぶことにする。

【0023】次に、回路が安定してチャージ期間が終了した後、第1および第3のスイッチSW1, SW3をOFFに切り替えるとともに、第2のスイッチSW2をONに切り替える。これにより、今度は第1の差動入力部3が差動アンプとして動作し、第2の差動入力部4のnチャネルトランジスタM5, M6は定電流回路として動作することになる。

【0024】このとき、第3のスイッチSW3がOFFとなっているので、コンデンサC1に蓄えられた電圧は放電されずに保持されたままの状態となる。よって、コンデンサC1に蓄えられた電圧でnチャネルトランジスタM5のゲート電圧が保持されるため、nチャネルトランジスタM5, M6の定電流回路によってnチャネルトランジスタM3, M4のゲート電圧が同一値になるようにフィードバックがかかり、図2のようにオフセットがキャンセルされて設定電圧値に収束する。以下では、この期間を「キャンセル期間」と呼ぶ。

【0025】なお、キャンセル期間が終了して次に第1および第3のスイッチSW1, SW3がON、第2のスイッチSW2がOFFに再び切り替えられると、そのときの入力端子IN、出力端子OUTの電圧値に応じてコンデンサC1に再び電圧が蓄積される。このとき、前回蓄積した電圧値よりも大きな電圧を蓄積する場合にはコンデンサC1で充電が行われ、前回蓄積した電圧値よりも小さな電圧を蓄積する場合にはコンデンサC1で放電が行われる。

【0026】以上説明したように、第1の実施形態では、第2の差動入力部4と、コンデンサC1と、スイッチSW1～SW3とをオペアンプ部1に対して追加している。そして、チャージ期間において第2の差動入力部4を動作させてオフセットの分まで含んだ電圧値をコンデンサC1に蓄積し、一旦回路を安定させた後にキャンセル期間に移ってオペアンプ部1内の第1の差動入力部3を動作させ、チャージ期間中にコンデンサC1に蓄えた電圧でフィードバックをかけることにより、オペアンプのオフセットをキャンセルするようにしている。

【0027】これにより、トランジスタのゲート面積を大きくすることなくオペアンプのオフセットをキャンセルすることができ、精度の良い出力電圧値を得ることができる。すなわち、本実施形態によれば、同じゲート面積でオフセットを1/5～1/10程度に小さくすることができる。

【0028】図3は、上記図1中に点線部分で示したnチャネルトランジスタM5、コンデンサC1および第3のスイッチSW3の他の接続例を示す図である。図1では、コンデンサC1は、nチャネルトランジスタM5のゲートとグランドGNDとの間に接続されていた。これに対して、図3(a)のように、nチャネルトランジスタM5のゲートと電源VDDとの間にコンデンサC1を接続しても良い。

【0029】上述のチャージ期間においてグランドGNDにノイズが生じると、そのグランドノイズまで含んだ状態で電圧値がコンデンサC1に蓄積されてしまう。この場合には、コンデンサC1に蓄積された電圧値そのものが正確でなくなってしまうため、キャンセル期間にコンデンサC1に蓄えられた電圧でフィードバックをかけても、オペアンプのオフセットは正確にキャンセルすることができなくなってしまう。しかし、図3(a)のようにコンデンサC1を電源VDDの側に接続しておけば、グランドノイズの影響を受けることなく、オペアンプのオフセットを正確にキャンセルすることができる。

【0030】また、図3(b)に示すように、nチャネルトランジスタM5のゲートとグランドGNDとの間、および電源VDDとの間の双方にコンデンサC1, C1'を接続するようにしても良い。このように構成した場合には、チャージ期間においてグランドGNDあるいは電源VDDの何れかの側でノイズが生じたとしても、そのノイズの影響を抑制して、オペアンプのオフセットを正確にキャンセルすることができる。

【0031】(第2の実施形態)次に、本発明の第2の実施形態について説明する。図4は、第2の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図4において、図1に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0032】図4に示す第2の実施形態では、図1に示した回路に対して、ドレインおよびゲートを同一ノードに接続したnチャネルトランジスタM11, M12を更に追加している。nチャネルトラン

ジスタM11のドレインとゲートはnチャネルトランジスタM5のソースに接続され、nチャネルトランジスタM12のドレインとゲートはnチャネルトランジスタM6のソースに接続されている。また、nチャネルトランジスタM11, M12のソースはnチャネルトランジスタM8のドレインに共通に接続されている。

【0033】オフセットをキャンセルするための動作原理は、上述した第1の実施形態と同様である。本実施形態において新たに追加したnチャネルトランジスタM11, M12は、LCDソースドライバ特有のドット反転動作に起因してnチャネルトランジスタM5, M6に電流が逆流するのを防止し、これによってオペアンプの動作スピードを上げるためのものである。

【0034】まず、LCDソースドライバ特有のドット反転動作を説明する。液晶表示装置が備える液晶パネルは、液晶の寿命を長持ちさせる目的で、隣り合うドット毎および隣り合うライン毎に、コモン電極に対して正極性と負極性の階調電圧を書き込んでいる。

【0035】このドット反転動作をさせるためにLCDソースドライバでは、図5に示すように、正極性用のオペアンプ(H側オペアンプ)11と負極性用のオペアンプ(L側オペアンプ)12とが交互に並べられる。H側オペアンプ11は正極性のアナログ階調電圧を増幅して出力する。また、L側オペアンプ12は負極性のアナログ階調電圧を増幅して出力する。

【0036】これら複数のH側オペアンプ11およびL側オペアンプ12の出力段には、192個の出力切替部13が備えられている。出力切替部13は、H側オペアンプ11から出力される正極性アナログ階調電圧と、L側オペアンプ12から出力される負極性アナログ階調電圧とをストレートまたはクロスに切り替えて液晶パネル14に出力する。

【0037】この出力切替部13による切替動作によって、ある極性の階調電圧の出力が1ライン分完了して次の1ライン分の階調電圧の出力に移るときに、逆極性の階調電圧値がオペアンプの出力に接続される。このとき、pチャネルトランジスタM2のドレイン電圧V2が一瞬小さくなり、図1の実施形態の場合だと電流がトランジスタM1→M5→M6→M4の順に流れる電圧関係になってしまう。このように逆方向の電流が流れると、その状態から正常な動作モードに復帰するには長い時間がかかるてしまう。

【0038】そこで、本実施形態では、図4に示すようにnチャネルトランジスタM5, M6のドレイン側にnチャネルトランジスタM11, M12を設けている。これにより、出力切替部13によって電圧値の出力先がクロスに切り替えられたときでも、nチャネルトランジスタM5, M6に逆の電流が流れないようにすることができ、回路の動作スピードが落ちるのを防ぐことができる。

【0039】(第3の実施形態)次に、本発明の第3の実施形態について説明する。図6は、第3の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図6において、図1に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0040】図6に示す第3の実施形態では、図1に示した回路に対して、上記第1の差動入力部3のドレイン側と上記第2の差動入力部4のドレイン側との間に第4および第5のスイッチSW4, SW5を更に追加している。すなわち、第4のスイッチSW4は、nチャネルトランジスタM3のドレインとnチャネルトランジスタM5のドレインとの間に接続され、第5のスイッチSW5は、nチャネルトランジスタM4のドレインとnチャネルトランジスタM6のドレインとの間に接続されている。これらの第4および第5のスイッチSW4, SW5は、同相で動作する。

【0041】オフセットをキャンセルするための動作原理は、上述した第1の実施形態と同様である。本実施形態において新たに追加したスイッチSW4, SW5は、上記第2の実施形態で説明したnチャネルトランジスタM11, M12と同様に、LCDソースドライバ特有のドット反転動作時に第2の差動入力部4へ逆電流が流れるのを防止し、これによってオペアンプの動作スピードを上げるためのものである。

【0042】図7は、本実施形態によるオフセットキャンセル回路の動作を説明するためのタイミングチャートである。本実施形態におけるスイッチSW1～SW5のスイッチングのタイミングは、以下の通りである。まず、スイッチSW1, SW3, SW4, SW5をON、スイッチSW2をOFFにして、回路が安定するまでチャージ期間の動作を実行する。その後、スイッチSW1, SW3, SW4, SW5をOFF、スイッチSW2をONに切り替えてキャンセル期間に移行する。

【0043】そして、出力電圧値がある程度設定電圧に近づくまでスイッチSW4, SW5をOFFのままにしておき、その後出力切替部13によって電圧値の出力先がクロスに切り替えられた後で、スイッチSW4, SW5を再びONに切り替える。出力切替部13によって電圧値の出力先がクロスに切り替えられたタイミングでは、図7に示すように出力電圧値は一瞬小さくなるが、この

ときはスイッチSW4, SW5がOFFとなっているので、第2の差動入力部4に逆の電流が流れることはない。

【0044】スイッチSW4, SW5をONに切り替えた後は、第1の差動入力部3の力によって出力電圧値が増幅されていき、その後再びスイッチSW1, SW3, SW4, SW5がON、スイッチSW2がOFFにされると、第2の差動入力部4によってオフセットを含む電圧値まで増幅されるとともに、そのときの電圧がコンデンサC1に蓄積される。以降、同様の処理が繰り返し行われる。

【0045】以上のように、第3の実施形態においても上述した第2の実施形態と同様に、出力切替部13によって電圧値の出力先がクロスに切り替えられたときに第2の差動入力部4に逆の電流が流れないようにすることができ、回路の動作スピードが落ちるのを防ぐことができる。

【0046】(第4の実施形態)次に、本発明の第4の実施形態について説明する。図8は、第4の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図8において、図1に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0047】図8に示す第4の実施形態では、図1に示した回路に対して第2のコンデンサC2と第6のスイッチSW6とを更に追加している。第2のコンデンサC2は、第2の差動入力部4を構成するnチャネルトランジスタM6のゲートとグランドGNDとの間に接続されている。また、第6のスイッチSW6は、上記nチャネルトランジスタM6のゲートと入力端子INとの間に接続されている。

【0048】オフセットをキャンセルするための動作原理は、上述した第1の実施形態と同様であるが、その際に第6のスイッチSW6は、第3のスイッチSW3と同じようにON/OFFの切り替え動作を行う。これにより、スイッチSW1, SW3, SW6がON、スイッチSW2がOFFとなるチャージ期間においては、コンデンサC1, C2の双方に、出力電圧のオフセット分まで含む同じレベルの電圧値が蓄積されることになる。

【0049】そして、その後のキャンセル期間においては、2つのコンデンサC1, C2に蓄積されている電圧でnチャネルトランジスタM5, M6のゲート電圧がそれぞれ保持されるため、nチャネルトランジスタM5, M6の定電流回路によってnチャネルトランジスタM3, M4のゲート電圧が同一値になるようにフィードバックがかかり、オペアンプのオフセットがキャンセルされて設定電圧値に収束するようになる。

【0050】この第4の実施形態では、グランドGNDにおいてグランドノイズ等が発生した場合でも、nチャネルトランジスタM5, M6のゲート電圧がコンデンサC1とコンデンサC2に保持されている電圧によって同じように動くので、ノイズの影響を受けにくくなり、より高精度にオフセットのキャンセルを行うことが可能となる。

【0051】(第5の実施形態)次に、本発明の第5の実施形態について説明する。図9は、第5の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図9において、図1に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0052】図9に示す第5の実施形態では、図1に示した回路に対してダミーの第7のスイッチSW7を更に追加している。この第7のスイッチSW7は、第2の差動入力部4を構成するnチャネルトランジスタM5のゲートとコンデンサC1との間に接続され、さらに第7のスイッチSW7の両端は同じノードに接続されている。オフセットをキャンセルするための動作原理は上述した第1の実施形態と同様であるが、本実施形態で新たに追加した第7のスイッチSW7は、第3のスイッチSW3の逆相の信号で動作する。

【0053】これにより、第3のスイッチSW3のスイッチングにより発生するノイズを、逆相信号で動作する第7のスイッチSW7がキャンセルするので、そのスイッチングノイズまで含んだ状態で電圧値がコンデンサC1に蓄積されてしまう不都合を防止することができる。したがって、オペアンプのオフセットに相当する分だけ電圧値をコンデンサC1に正確に蓄積することができ、より高精度なオフセットキャンセルを行うことが可能となる。

【0054】(第6の実施形態)次に、本発明の第6の実施形態について説明する。図10は、第6の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図10において、図1に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0055】図10に示す第6の実施形態では、図1に示した回路に対して、第1～第3のスイッチSW1～SW3のオン/オフを制御する制御信号の波形を整形する波形整形回路20を更に追加

している。この波形整形回路20より出力される波形整形された制御信号に基づいて第1～第3のスイッチSW1～SW3のON/OFFを制御する。

【0056】図11は、上記波形整形回路20の一構成例を示す図である。図11に示すように、本実施形態の波形整形回路20は、nチャネルトランジスタとpチャネルトランジスタとから成るインバータ21, 22, 23を多段接続して構成する。そして、入力端子IN'より入力されるスイッチング制御信号をインバータ21, 22, 23に順次通していくことにより、立ち上がりまたは立ち下がりの鈍った波形を、立ち上がりまたは立ち下がりが急峻な波形に整形する。

【0057】このとき、1段目のインバータ21より出力される制御信号に基づいて第3のスイッチSW3のON/OFFを制御し、2段目のインバータ22より出力される制御信号に基づいて第2のスイッチSW2のON/OFFを制御し、3段目のインバータ23より出力される制御信号に基づいて第1のスイッチSW1のON/OFFを制御する。このように各スイッチSW1～SW3の制御信号を、異なるインバータ21～23の出力段からそれぞれ出力することにより、各スイッチSW1～SW3のスイッチングのタイミングをずらし、この場合は第3のスイッチSW3を最初に切り替えるようにしている。

【0058】以上のように、本実施形態では、各オペアンプ毎に設けた波形整形回路20によってスイッチング制御信号の波形を整形し、制御信号の立ち上がりあるいは立ち下がりを急峻にしてスイッチング動作を素早く行えるようにしたので、スイッチングの際にノイズが乗ってしまう不都合を抑制することができ、より高精度なオフセットキャンセルを行うことができる。また、本実施形態では、各スイッチSW1～SW3のスイッチングのタイミングをずらし、チャージ期間からキャンセル期間の移行時に第3のスイッチSW3を最初にOFFに切り替えるようにしているので、スイッチングノイズの影響を更に小さくすることができる。

【0059】図10に示した波形整形回路20の構成は、図11に示したものには限定されない。図12は、上記波形整形回路20の他の構成例を示す図である。図12に示す波形整形回路20は、多段接続したインバータ21, 22, 23, 24の他に、スイッチング素子として用いられるpチャネルトランジスタ25, 26およびnチャネルトランジスタ27, 28を備えている。

【0060】pチャネルトランジスタ25は、1段目のインバータ24と電源VDDとの間に接続され、pチャネルトランジスタ26は、3段目のインバータ22と電源VDDとの間に接続されている。また、nチャネルトランジスタ27は、2段目のインバータ21とグランドGNDとの間に接続され、nチャネルトランジスタ28は、4段目のインバータ23とグランドGNDとの間に接続されている。すなわち、図12の波形整形回路20は、pチャネル側あるいはnチャネル側を交互に2段縦積みにしたインバータを複数段に多段接続して構成される。

【0061】上記pチャネルトランジスタ25, 26は、そのゲートに共通に与えられる“H”または“L”レベルの制御信号に基づきスイッチングが制御される。また、nチャネルトランジスタ27, 28も、そのゲートに共通に与えられる“H”または“L”レベルの制御信号に基づきスイッチングが制御される。

【0062】これらのpチャネルトランジスタ25, 26およびnチャネルトランジスタ27, 28は、通常はONにしておくが、チャージ期間からキャンセル期間の移行時に一旦OFFに切り替えることにより、スイッチング制御信号による貫通電流が流れるのを抑止することができ、貫通電流に基づく電源ノイズ等の発生を抑制することができる。したがって、電源ノイズの発生を少なくしてより高精度なオフセットキャンセルを行うことができる。

【0063】図13は、上記波形整形回路20の更に別の構成例を示す図である。図13に示す波形整形回路20は、複数のインバータ21, 22, 23, 29, 30の多段接続の仕方を今までの例と異ならせている。すなわち、1段目のインバータ29の共通ドレインより出力される信号を2段目のインバータ30のnチャネルトランジスタのゲートに入力し、2段目のインバータ30のpチャネルトランジスタのゲートには“H”または“L”レベルの制御信号を入力する。

【0064】また、2段目のインバータ30の共通ドレインより出力される信号を3段目のインバータ21のpチャネルトランジスタのゲートに入力し、3段目のインバータ21のnチャネルトランジスタのゲートには“H”または“L”レベルの制御信号を入力する。3段目のインバータ21以降も同様に、インバータの出力先を次段のインバータのpチャネルゲートまたはnチャネルゲートに交互に接続していく。このような接続を行うことにより、スイッチング制御信号による貫通電流が流れるのを抑止し、貫通電流に基づく電源ノイズ等の発生を少なくしてより高精度なオフセットキャンセルを行うことができる。

【0065】(第7の実施形態)次に、本発明の第7の実施形態について説明する。図14は、第7

の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図14において、図1に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0066】これまで説明した第1～第6の実施形態では、オペアンプ部1の構成として定電流型のものを示したが、本発明はこれ以外のタイプのオペアンプにも適用することが可能である。図14に示すオペアンプ部30は、グランドGNDに接続された一対のnチャネルトランジスタM21、M22から成る第2のカレントミラーパート5と、第2のカレントミラーパート5に接続された一対のpチャネルトランジスタM23、M24から成る第3の差動入力部6と、この第3の差動入力部6と電源VDDとの間に接続されたpチャネルトランジスタM25とを備えている。

【0067】上記第2のカレントミラーパート5および第3の差動入力部6は、第1のカレントミラーパート2および第1の差動入力部3とはpnタイプが逆の関係になっている。上記第3の差動入力部6の2つの入力ゲート(pチャネルトランジスタM23、M24のゲート)は、上記第1のカレントミラーパート2と上記第1の差動入力部3との接続ノードに接続されている。

【0068】すなわち、上記第3の差動入力部6を構成する2つのpチャネルトランジスタM23、M24のゲートには、第1の差動入力部3を構成するnチャネルトランジスタM4、M3のドレイン(第1のカレントミラーパート2を構成するpチャネルトランジスタM2、M1のドレイン)がそれぞれ接続されている。また、上記第2のカレントミラーパート5を構成するpチャネルトランジスタM22のドレインがnチャネルトランジスタM10のゲートに接続されている。

【0069】このように構成したオペアンプ部30は、増幅動作の安定化速度が速いという性質を持つ。したがって、このオペアンプ部30に対して第2の差動入力部4、コンデンサC1、スイッチングSW1～SW3等から成るオフセットキャンセル回路を追加することにより、増幅動作の安定化が速く、かつ、高精度なオフセットキャンセルを実現するオペアンプを提供することができる。

【0070】(第8の実施形態)次に、本発明の第8の実施形態について説明する。図15は、第8の実施形態によるオペアンプおよびそのオフセットキャンセル回路の構成を示す回路図である。なお、この図15において、図14に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0071】図15に示すオペアンプ部40も図14に示したオペアンプ部30と同様に、第2のカレントミラーパート5と、第3の差動入力部6と、pチャネルトランジスタM25とを備え、増幅動作の安定化速度が速いタイプのものを用いている。本実施形態のオペアンプ部40では更に、階調電圧の正極性と負極性とを反転させるための極性反転回路を備えている。

【0072】上記極性反転回路は、上記第1のカレントミラーパート2と第1の差動入力部3との接続ノードのそれぞれに接続された二対のカレントミラーパート7、8と、上記二対のカレントミラーパート7、8に接続された第4の差動入力部9と、この第4の差動入力部9と電源VDDとの間に接続されたpチャネルトランジスタM22とを備えている。

【0073】上記カレントミラーパート7は、第1のカレントミラーパート2を構成するpチャネルトランジスタM2のドレインとグランドGNDとの間に接続されたnチャネルトランジスタM26と、第4の差動入力部9を構成するnチャネルトランジスタM20のソースとグランドGNDとの間に接続され、ドレインとゲートが共通ノードに接続されたnチャネルトランジスタM27により構成される。

【0074】また、上記カレントミラーパート8は、第1のカレントミラーパート2を構成するpチャネルトランジスタM1のドレインとグランドGNDとの間に接続されたpチャネルトランジスタM28と、第4の差動入力部9を構成するnチャネルトランジスタM21のソースとグランドGNDとの間に接続され、ドレインとゲートが共通ノードに接続されたpチャネルトランジスタM29により構成される。

【0075】この第8の実施形態におけるオペアンプ部40は、グランドGNDのレベルから電源VDDのレベルまで任意に極性を変えながら階調電圧を出力することが可能である。このオペアンプ部40を用いれば、オペアンプを図5のようにH側オペアンプ11とL側オペアンプ12とに分けて設ける必要がない。したがって、このオペアンプ部40に対して第2の差動入力部4、コンデンサC1、スイッチングSW1～SW3等から成るオフセットキャンセル回路を追加することにより、動作電圧範囲が広く増幅動作の安定化が速く、かつ、高精度なオフセットキャンセルを実現するオペアンプを提供することができる。

【0076】(第9の実施形態)次に、本発明の第9の実施形態について説明する。図16は、LCDソースドライバの一部構成例を示す図である。なお、この図16において、図5に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0077】図16に示すように、正極性用のオペアンプ(H側オペアンプ)11と負極性用のオペアンプ(L側オペアンプ)12の出力には切り替えスイッチ51が接続されている。さらに、切り替えスイッチ51の出力には、H側オペアンプ11とL側オペアンプ12のそれぞれに対応した出力用のPAD54, 55に接続されている。

【0078】上記H側オペアンプ11とL側オペアンプ12の出力は、pチャネルトランジスタとnチャネルトランジスタとから成るチャージ回路52, 53にも接続されている。例えばチャージ回路52は、ソースが電源VDDに接続されたnチャネルトランジスタと、ソースがグランドGNDに接続されたpチャネルトランジスタとをドレイン共通に接続することによって構成され、各トランジスタのゲートはH側オペアンプ11の出力に共通に接続される。また、各トランジスタの共通ドレインはPAD54に接続される。チャージ回路53も同様に構成される。

【0079】このような構成において、上記切り替えスイッチ51は、ON/OFF動作を適宜切り換える。例えば、オペアンプ11, 12のオフセットを補正している映像のブランкиング期間中に切り替えスイッチ51をオープン状態にすることにより、その間にチャージ回路52, 53の各トランジスタによって、出力設定電圧からトランジスタのしきい値電圧Vthの分だけ差を持った電圧までオペアンプ11, 12の出力でプリチャージする。映像のブランкиング期間中にこのような動作を行うことにより、映像期間中にオフセットキャンセル動作の影響が出ないようにすることができる。

【0080】なお、上記に説明した各実施形態は、何れも本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されることはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0081】本発明の様々な形態をまとめると、以下のようになる。

(1)オペアンプ部により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいて上記オペアンプ部の電圧値をフィードバック制御する容量素子と、上記容量素子への電圧の蓄積および上記容量素子に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子とを備えたことを特徴とするオペアンプのオフセットキャンセル回路。

【0082】(2)一対のカレントミラ一部と、上記カレントミラ一部に接続された一対の第1の差動入力部とを備えたオペアンプ部のオフセットをキャンセルするオフセットキャンセル回路であって、上記カレントミラ一部に接続された一対の第2の差動入力部と、上記第1の差動入力部の一方の入力ゲートと入力端子との間に接続された第1のスイッチング素子と、上記第1の差動入力部の一方の入力ゲートと出力端子との間に接続された第2のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートと上記出力端子との間に接続された第3のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートに接続された容量素子とを備えたことを特徴とするオペアンプのオフセットキャンセル回路。

【0083】(3)上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された上記容量素子のもう1つの端子をグランド側に接続したことを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

(4)上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された上記容量素子のもう1つの端子を電源側に接続したことを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

【0084】(5)上記第2の差動入力部の一方の入力ゲートに2つの容量素子を接続し、上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された一方の容量素子のもう1つの端子をグランド側に接続するとともに、上記第2の差動入力部の一方の入力ゲートに1つの端子が接続された他方の容量素子のもう1つの端子を電源側に接続したことを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

【0085】(6)上記第2の差動入力部を構成するそれぞれのトランジスタのソース側に、ドレインおよびゲートを同ノードに接続したトランジスタをそれぞれ接続したことを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

(7)上記第1の差動入力部のドレイン側と上記第2の差動入力部のドレイン側との間に第4および第5のスイッチング素子を備えたことを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

【0086】(8)上記第2の差動入力部の他方の入力ゲートに第6のスイッチング素子と第2の容量素子とを接続し、上記第6のスイッチング素子のもう1つの端子を上記入力端子に接続したこ

とを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

(9)上記上記第2の差動入力部の一方の入力ゲートと上記容量素子との間にダミーの第7のスイッチング素子を接続したことを特徴とする上記(2)に記載のオペアンプのオフセットキャンセル回路。

【0087】(10)上記スイッチング素子は、pチャネルMOSトランジスタおよびnチャネルMOSトランジスタの抱き合わせの転送ゲートにより構成されることを特徴とする上記(1)に記載のオペアンプのオフセットキャンセル回路。

(11)上記スイッチング素子は、pチャネルMOSトランジスタまたはnチャネルMOSトランジスタの転送ゲートにより構成されることを特徴とする上記(1)に記載のオペアンプのオフセットキャンセル回路。

【0088】(12)上記スイッチング素子のオン／オフを制御する制御信号の波形を整形する波形整形回路を備えたことを特徴とする上記(1)に記載のオペアンプのオフセットキャンセル回路。

(13)上記波形整形回路は、インバータを複数段接続して構成されることを特徴とする上記(12)に記載のオペアンプのオフセットキャンセル回路。

(14)上記波形整形回路は、貫通電流が流れないようにするための回路を備えることを特徴とする上記(13)に記載のオペアンプのオフセットキャンセル回路。

【0089】(15)上記貫通電流が流れないようにするための回路は、pチャネル側およびnチャネル側を交互に2段縦積みにしたインバータを複数段接続して構成され、電源またはグランドに近い側のトランジスタのゲートをそれぞれ共通に接続して制御するようにしたことを特徴とする上記(14)に記載のオペアンプのオフセットキャンセル回路。

【0090】(16)上記貫通電流が流れないようにするための回路は、上記インバータのpチャネルとnチャネルの共通ドレイン出力が次段のインバータのpチャネルのゲートに接続され、更に当該次段のインバータのpチャネルとnチャネルの共通ドレイン出力が次々段のインバータのnチャネルのゲートに接続されるという接続関係が複数段繰り返され、前段のインバータからの共通ドレイン出力が接続されていない側のゲートをnチャネルおよびpチャネル別々に共通に接続して制御するようにしたことを特徴とする上記(14)に記載のオペアンプのオフセットキャンセル回路。

【0091】(17)上記オペアンプ部は、上記カレントミラ一部および上記第1の差動入力部とpnタイプが逆の第2のカレントミラ一部および第3の差動入力部を備え、上記第3の差動入力部の2つの入力ゲートが上記カレントミラ一部と上記第1の差動入力部との接続ノードに接続されていることを特徴とする上記(1)に記載のオペアンプのオフセットキャンセル回路。

(18)上記オペアンプ部は、上記カレントミラ一部と上記第1の差動入力部との接続ノードのそれに接続された二対のカレントミラ一部と、上記二対のカレントミラ一部に接続された第4の差動入力部とを備えたことを特徴とする上記(17)に記載のオペアンプのオフセットキャンセル回路。

【0092】(19)オペアンプ部と、当該オペアンプ部のオフセットをキャンセルするオフセットキャンセル回路とを備え、上記オフセットキャンセル回路は、上記オペアンプ部により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいて上記オペアンプ部の電圧値をフィードバック制御する容量素子と、上記容量素子への電圧の蓄積および上記容量素子に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子とを備えたことを特徴とするオペアンプ。

【0093】(20)上記オペアンプ部は、一对のカレントミラ一部と、上記カレントミラ一部に接続された一对の第1の差動入力部とを備え、上記オフセットキャンセル回路は、上記カレントミラ一部に接続された一对の第2の差動入力部と、上記第1の差動入力部の一方の入力ゲートと入力端子との間に接続された第1のスイッチング素子と、上記第1の差動入力部の一方の入力ゲートと出力端子との間に接続された第2のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートと上記出力端子との間に接続された第3のスイッチング素子と、上記第2の差動入力部の一方の入力ゲートに接続された容量素子とを備えたことを特徴とする上記(19)に記載のオペアンプ。

【0094】(21)上記オペアンプ部は、上記カレントミラ一部および上記第1の差動入力部とpnタイプが逆の第2のカレントミラ一部および第3の差動入力部を備え、上記第3の差動入力部の2つの入力ゲートが上記カレントミラ一部と上記第1の差動入力部との接続ノードに接続されていることを特徴とする上記(20)に記載のオペアンプ。

(22)上記オペアンプ部は、上記カレントミラ一部と上記第1の差動入力部との接続ノードのそれぞれに接続された二対のカレントミラ一部と、上記二対のカレントミラ一部に接続された第4の差動入力部とを備えたことを特徴とする上記(21)に記載のオペアンプ。

【0095】(23)上記オペアンプ部および上記オフセットキャンセル回路はLCDソースドライバICに備えられることを特徴とする上記(19)に記載のオペアンプ。

(24)上記オペアンプ部のオフセットを補正している期間中に、上記オペアンプ部の出力によってオペアンプ出力をプリチャージする回路を備えたことを特徴とする上記(1)に記載のオペアンプのオフセットキャンセル回路。

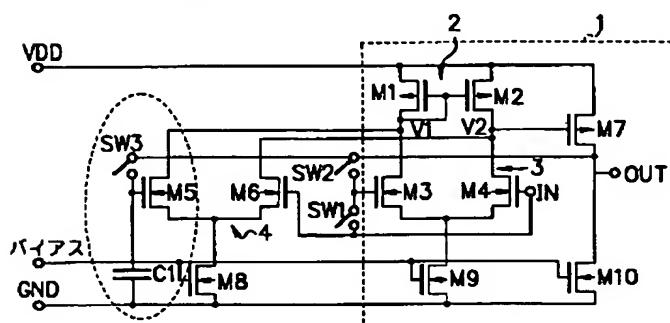
【0096】

【発明の効果】本発明は上述したように、オペアンプ部により増幅されるオフセットを含んだ電圧を蓄積し、蓄積された電圧に基づいてオペアンプ部の電圧値をフィードバック制御する容量素子と、容量素子への電圧の蓄積および容量素子に蓄積された電圧値に基づくフィードバック制御の動作を切り替えるためのスイッチング素子とを備え、この容量素子とスイッチング素子とを用いてオペアンプ部のオフセットをキャンセルするようにしたので、オペアンプ部のトランジスタのゲート面積を大きくすることなくオペアンプ部のオフセットを高精度にキャンセルすることができ、チップ面積の増大、ひいてはコストアップを防止することができる。したがって、例えば本発明を液晶パネルのソースドライバに適用しても色むらがなくなり、より高精細に液晶パネルを駆動することができる。

## 図面

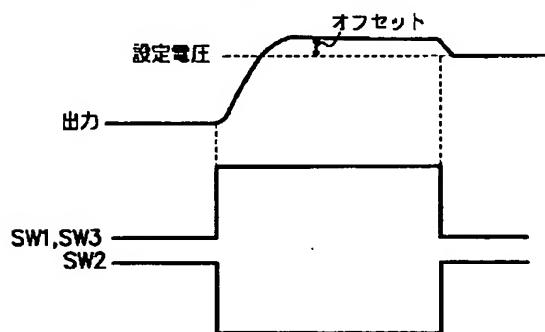
## 【図1】

第1の実施形態によるオフセットキャンセル回路



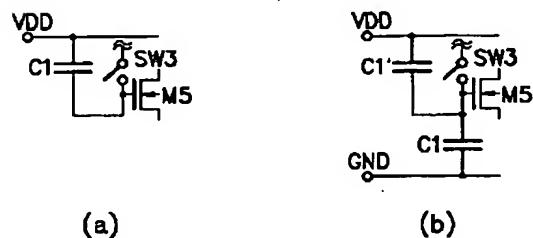
## 【図2】

第1の実施形態のタイミングチャート



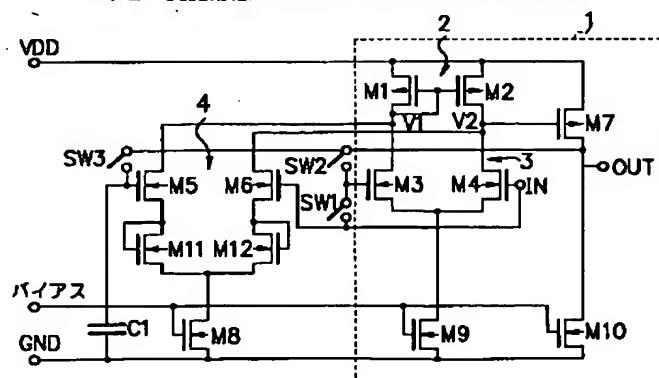
## 【図3】

第1の実施形態の変形例

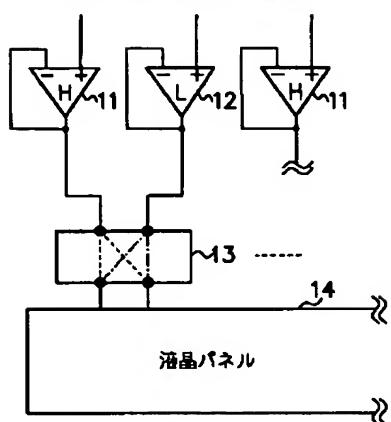


## 【図4】

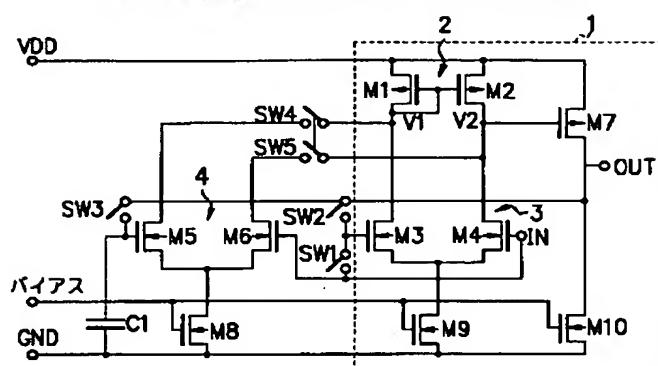
第2の実施形態によるオフセットキャンセル回路



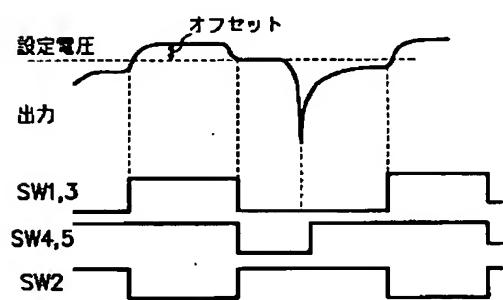
【図5】 LCDドライバの一部構成



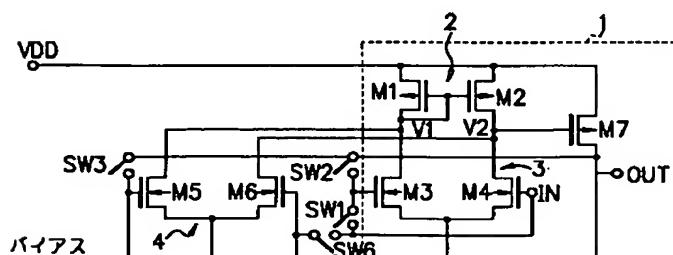
【図6】 第3の実施形態によるオフセットキャンセル回路

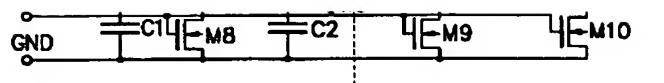


【図7】 第3の実施形態のタイミングチャート

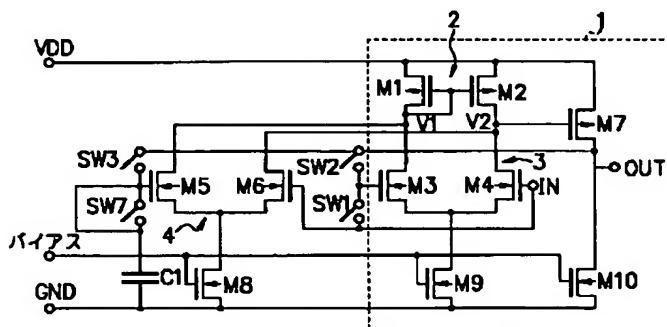


【図8】 第4の実施形態によるオフセットキャンセル回路

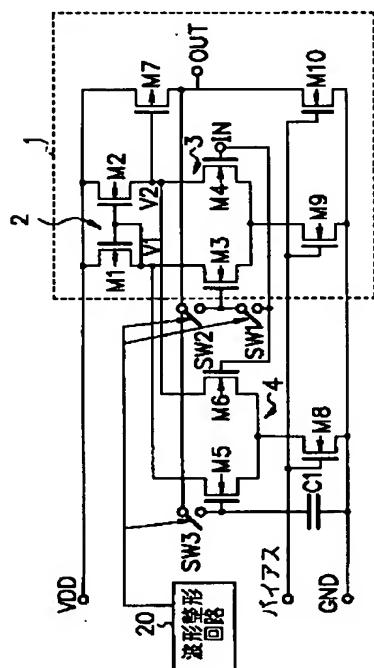




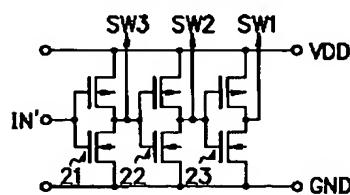
【図9】  
第5の実施形態によるオフセットキャンセル回路



【図10】  
第6の実施形態によるオフセットキャンセル回路

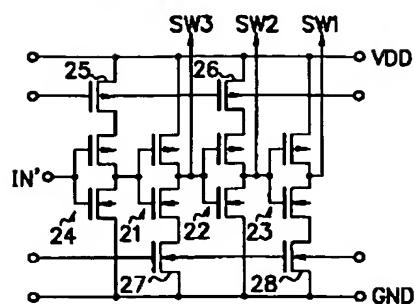


【図11】  
波形整形回路の一例



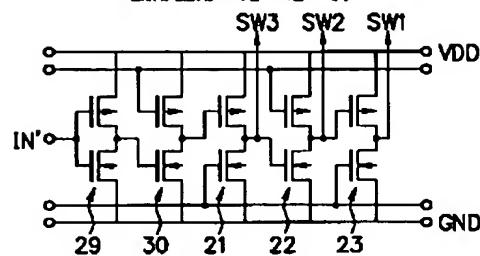
【図12】

### 波形整形回路の他の例



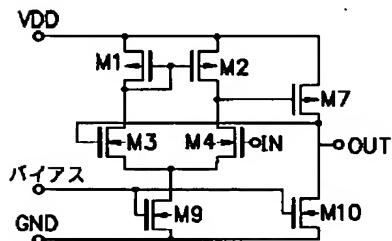
【図13】

### 波形整形回路の他の例



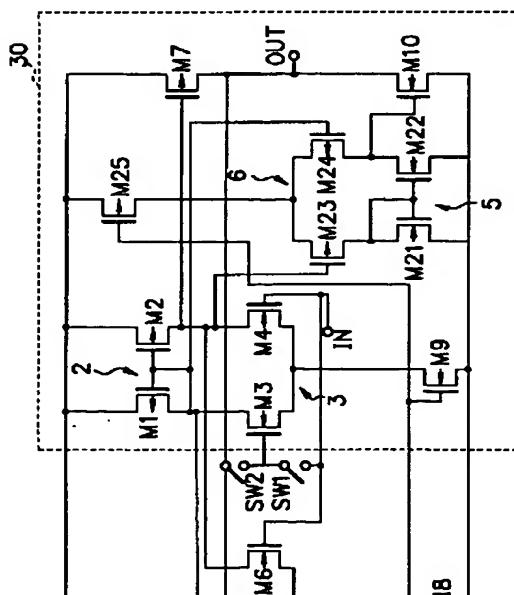
【図17】

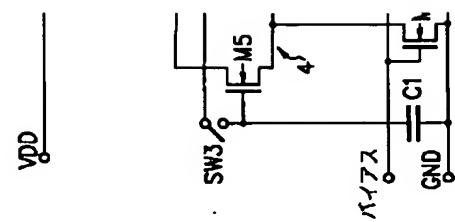
### 従来のオペアンプ



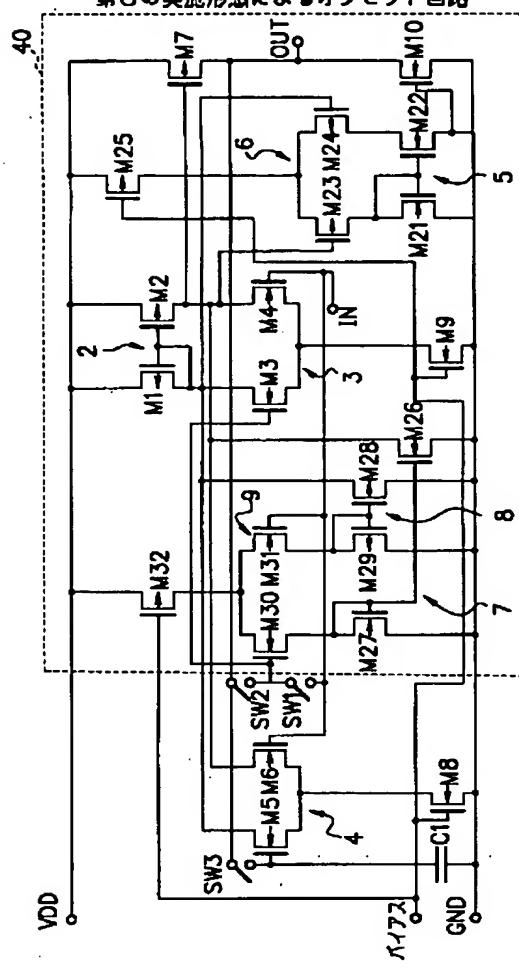
(図14)

## 第7の実施形態によるオフセットキャンセル回路

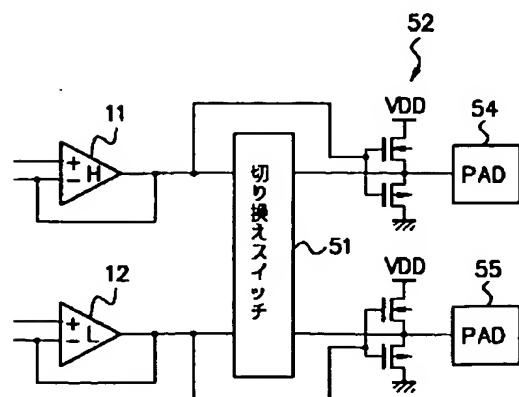




## 【図15】 第8の実施形態によるオフセット回路



## 【図16】 LCDドライバの一部構成



53